

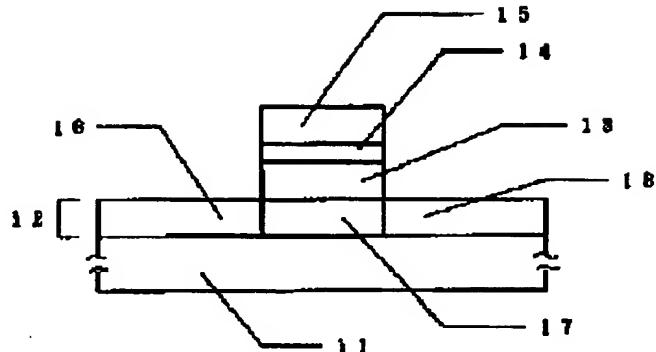
INSULATED GATE TYPE FIELD EFFECT SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP6268213
Publication date: 1994-09-22
Inventor: YAMAUCHI YUKIO
Applicant: SEMICONDUCTOR ENERGY LAB CO LTD
Classification:
- **international:** H01L29/784
- **european:**
Application number: JP19930082654 19930316
Priority number(s):

Abstract of JP6268213

PURPOSE: To obtain an insulated type field effect semiconductor device in which one conductivity type impurities are prevented from penetrating a gate electrode and diffused in a channel forming region.

CONSTITUTION: The gate electrode, to be formed on a gate electrode 13, is formed by two layers as shown by semiconductor layers 14 and 15. At this time, the impurities which give one conductivity type are not added to the semiconductor layer 14, and the impurities giving one conductivity type in high density are added to the semiconductor layer 15. The impurities in the semiconductor prevented from penetrating the gate electrode 13 and diffusing in a channel forming region 17 by the presence of a non-doped semiconductor layer 14. At the same time, a gate electrode having low resistance can be accomplished by the presence of the semiconductor layer 15 on which impurities which give one conductivity type are added at high density.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268213

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵
H 01 L 29/784

識別記号
9056-4M

F I

技術表示箇所
3 1 1 G

審査請求 未請求 請求項の数7 FD (全8頁)

(21)出願番号 特願平5-82654
(22)出願日 平成5年(1993)3月16日

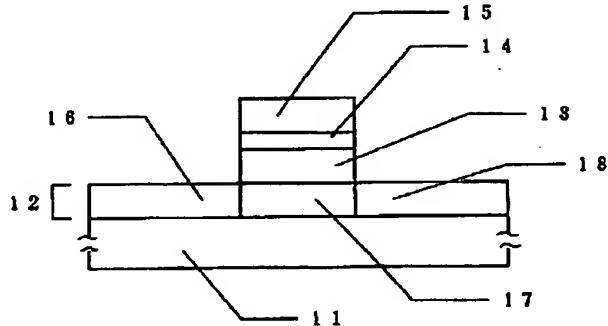
(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 山内 幸夫
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】絶縁ゲイト型電界効果半導体装置およびその作製方法

(57)【要約】

【目的】絶縁ゲイト型電界効果半導体装置において、半導体で構成されたゲート電極中から、一導電型を付与する不純物がゲート電極を突き抜け、チャネル形成領域に拡散してしまうことを防ぐ構成を得る。

【構成】ゲート電極(13)上に形成されるゲート電極を半導体層(14)と半導体層(15)で示されるように2層で構成する。この際、半導体層(14)には一導電型を付与する不純物を添加せず、半導体層(15)には一導電型を付与する不純物を高濃度に添加する。そして、ノンドープの半導体層(14)の存在によって半導体層(15)中の不純物がゲート電極(13)を突き抜け、チャネル形成領域(17)に拡散することを防ぐ。また同時に高濃度に一導電型を付与する不純物が添加された半導体層(15)の存在によって、低抵抗を有するゲート電極を実現する。



【特許請求の範囲】

【請求項1】 半導体材料で構成されたゲイト電極中における一導電型を付与する不純物の濃度をゲイト絶縁膜に接する領域では低く、

他の方の領域では高く、

したことを特徴とする絶縁ゲイト型電界効果半導体装置。

【請求項2】 半導体材料で構成された2層構造のゲイト電極を有し、

ゲイト絶縁膜に接する側の層には一導電型を付与する不純物が低い濃度で含まれ、

ゲイト絶縁膜に接しない側の層には、前記一導電型を付与する不純物が高い濃度で含まれ、

ていることを特徴とする絶縁ゲイト型電界効果半導体装置。

【請求項3】 半導体材料で構成された多層構造のゲイト電極を有し、

ゲイト絶縁膜に接する側の層には一導電型を付与する不純物が低い濃度で含まれ、

ゲイト絶縁膜に接しない側の層には、前記一導電型を付与する不純物が高濃度で含まれ、

ていることを特徴とする絶縁ゲイト型電界効果半導体装置。

【請求項4】 多層の半導体層で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、

ゲイト絶縁膜上に実質的に真性の第1の半導体層を形成する工程と、

前記第1の層上に一導電型を付与する不純物を添加しつつ第2の半導体層を形成する工程と、

を有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

【請求項5】 多層の半導体層で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、

ゲイト絶縁膜上に低濃度で一導電型を付与する不純物をドーピングしつつ第1の半導体層を形成する工程と、

前記第1の層上に前記不純物を前記第1の層よりも高濃度に添加しつつ第2の半導体層を形成する工程と、

を有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

【請求項6】 半導体材料で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、

一導電型を付与する不純物をドーピングしつつゲイト絶縁膜上にゲイト電極を形成する工程を有し、

該工程において、成膜開始時においては不純物のドーピングを行わず、成膜が進行するとともに、連続的あるいは段階的にドーピング濃度を高くする、

ことを特徴とする絶縁ゲイト型電界効果半導体装置作製

50

方法。

【請求項7】 半導体材料で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、

一導電型を付与する不純物をドーピングしつつゲイト絶縁膜上にゲイト電極を形成する工程を有し、

該工程において、成膜開始時においては低濃度で不純物のドーピングを行い、成膜が進行するとともに、連続的あるいは段階的にドーピング濃度を高くする、

ことを特徴とする絶縁ゲイト型電界効果半導体装置作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜半導体を用いた絶縁ゲイト型電界効果半導体装置（以下TFTという）の構造、特にゲイト電極の構造に関するものである。

【0002】

【従来の技術】 従来よりTFTの構造としては、ゲイト電極部分をマスクとして用い、イオン注入法等により一導電型を付与する不純物をドーピングすることによって、ソース・ドレイン領域を形成する自己整合型の構造が知られている。

【0003】 この構造の代表的な構造を図2に示す。図2(A)において、ガラス等の絶縁基板(21)、ソース領域(25)とチャネル形成領域(27)とドレイン領域(26)とが形成される薄膜半導体層(22)、ゲイト絶縁膜(23)、ゲイト電極(24)が記載されている。また図面には記載しなかつたが、電極、層間絶縁膜、配線等が形成されることは周知の通りである。

【0004】 図2(A)において、半導体層(22)は非晶質珪素または非晶質珪素を結晶化させたものである。またソース領域(25)とドレイン領域(26)とはリンの注入のよってN型化されている。従って、図2に示すTFTはNチャネル型TFTである。また、ゲイト絶縁膜(23)は、酸化珪素(SiO₂)で構成されており、ゲイト電極(24)は、その抵抗を下げるためにリンが多量にドーピングされた珪素膜が用いられている。

【0005】 図2(A)に示すTFTの作製は、まず基板(21)上に気相法により非晶質珪素半導体層(22)を成膜し、かかる後に非晶質珪素半導体層(22)を加熱あるいはレーザー光の照射等によって結晶化させ、結晶性珪素とする。

【0006】 次にゲイト絶縁膜(23)となる酸化珪素膜をスパッタ法等によって形成し、ゲイト電極(24)となるリンがドープされた珪素膜を気相等によって形成する。そしてパターニング工程によって、ゲイト絶縁膜(23)と、ゲイト電極(24)とを形成し、図2(A)のような形状を得る。そして、ゲイト電極(24)をマスクとしてリンイオンの打ち込み（以下イオン注入という）を行い、ソース領域(25)とドレイン領域(26)とを自己整合的に形成する。

この際自動的にチャネル形成領域(27)も形成される。

【0007】この後、注入した不純物であるリンの活性化、イオン注入時における半導体層(22)の損傷をアニュールするため、熱処理を行う。なおこの際の熱処理によって非晶質珪素で形成されたゲート電極(24)は結晶化される。

【0008】ここで以下のようなことが問題となる。図2(B)の(28)で示されるように、イオン注入後の熱処理の工程において、ゲート電極(24)中からリンが拡散し、ゲート絶縁膜(23)中を突き抜けチャネル形成領域(27)をN型化してしまう。この結果、チャネル形成領域が有効に機能しなくなり、TFTの特性が劣化してしまう。

【0009】上記(イ)の問題を解決するためには、
(a)熱処理を必要としないドーピングの方法の採用。
(b)熱処理温度の低温化、及び熱処理時間の短時間化。
(c)ゲート電極(24)にイオン注入するリンの濃度を低くする。
(d)ゲート電極にイオン注入の不要な金属材料を用いる。

等の方法が考えられるが、(a)の方法はドーピングの方式自体を変えなくては成らず、現実的ではない。即ち現在用いている装置や作製工程を利用できない。また(b)の方法は、熱処理によって得られるチャネル形成領域(27)とゲート絶縁膜(23)との界面における界面特性の改善、イオン注入の際に生じる半導体層(22)のダメージの回復、等の効果を犠牲にしなければならず、根本的な解決にはならない。実際には、この熱処理の工程の処理温度や処理時間とチャネル形成領域への不純物の拡散の程度とを考慮して適当な許容範囲内で熱処理の条件を設定し、妥協しているのが現状である。

【0010】(c)の方法を採用した場合、ゲート電極自体の抵抗が必然的に高くなるので、配線抵抗が高くなり、TFTの特性を犠牲にしなければならない。

【0011】(d)の方法を採用した場合、イオン注入後の熱処理工程、さらには後の保護膜の形成等の工程において、ゲート電極(24)を構成する金属材料の耐熱温度が問題となるので、熱処理温度が制約される。またゲート電極が溶融しないまでも、熱処理時において、ゲート電極(24)を構成する金属材料がチャネル形成領域(27)に拡散するという問題がある。なお以上の問題は、Nチャネル型TFTであっても、Pチャネル型TFTであっても本質的には同じであり、またイオン注入する元素に依るものでもない。

【0012】

【発明が解決しようとする課題】本発明は、図2に示すような自己整合的な構造を有するTFTの作製において、イオン注入の後に行う熱処理の際に、注入したイオンがゲート電極(23)を突き抜け、チャネル形成領域(27)に拡散することを防ぐ構造を有するTFT、およびその作製方法を提供することを目的とする。

【0013】

【課題を解決するための手段】【第1の発明】本発明の第1は、半導体材料で構成されたゲート電極中における一導電型を付与する不純物の濃度をゲート絶縁膜に接する領域では低く、他の方の領域では高く、したことを特徴とする絶縁ゲート型電界効果半導体装置、を要旨とする。

【0014】上記第1の発明は、ゲート電極中における一導電型を付与する不純物の濃度をゲート電極側では低くし、ゲート電極と反対側では高くする構造をとることによって、TFTの作製時においてゲート電極中からゲート絶縁膜を突き抜ける一導電型を付与する不純物の量を低減させることができるものである。この第1の発明の構成を実現するための構造として以下の例を挙げることができる。なお、以下の説明において用いる図3の各部の構成は、ゲート電極(24)の構造以外に部分においては、図2において説明したものと同一である。

【0015】図3に示すTFTの構造において、半導体層で構成されたゲート電極(24)のゲート絶縁膜(23)に接する側(31)は、一導電型を付与する不純物を低い濃度で含み、ゲート電極(23)に接する側と反対側(32)は、一導電型を付与する不純物を高い濃度で含んでいる。

【0016】上記図3に示す構造は、ゲート電極(24)の形成の際に、成膜の進行に従って、成膜と同時に徐々に一導電型を付与する不純物を添加していく方法、またはゲート電極を多層構造とし、一層ずつ一導電型を付与する不純物の濃度を変えて成膜する方法、を探ることで実現される。

【0017】【第2の発明】第2の本発明は、半導体材料で構成された2層構造のゲート電極を有し、ゲート絶縁膜に接する側の層には一導電型を付与する不純物が低い濃度で含まれ、ゲート絶縁膜に接しない側の層には、前記一導電型を付与する不純物が高い濃度で含まれ、ていることを特徴とする絶縁ゲート型電界効果半導体装置、を要旨とするものである。

【0018】上記第2の発明は、前記第1の発明を具体化した一つの構成である。具体的には、図3に示す構造において、ゲート電極(24)を2層構造とし、ゲート電極(23)に接する面側の層(この場合(31)で示される部分に設けられている)は、一導電型を付与する不純物を低い濃度で含み、ゲート電極に接する面と反対側の層(この場合(32)で示される部分に設けられている)は、一導電型を付与する不純物を高い濃度で含んでいる構成を挙げることができる。

【0019】【第3の発明】第3の発明は、半導体材料で構成された多層構造のゲート電極を有し、ゲート絶縁膜に接する側の層には一導電型を付与する不純物が低い濃度で含まれ、ゲート絶縁膜に接しない側の層には、前記一導電型を付与する不純物が高濃度に含まれ、ていることを特徴とする絶縁ゲート型電界効果半導体装置、を

要旨とする。

【0020】上記第3の発明は、前記第1の発明において、ゲイト電極を多層構造とした場合の構造に当たる。また層の数を2層に限定した場合は、前記第2の発明と同一なものとなる。

【0021】【第4の発明】第4の発明は、多層の半導体層で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、ゲイト絶縁膜上に実質的に真性の第1の半導体層を形成する工程と、前記第1の層上に一導電型を付与する不純物を添加しつつ第2の半導体層を形成する工程と、を有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法、を要旨とする。

【0022】上記第4の発明は、前記第3の発明を実現する際の作製方法に関する。即ち、げいと電極を形成するに際して、ゲイト絶縁膜に接する第1層を実質的に真性な半導体層として形成し、第1の層上に形成される第2の層の形成の際には、一導電型を付与する不純物を添加することを特徴とするものである。

【0023】上記構成をとることによって、イオン注入及びその後の熱処理によるソース・ドレイン領域の形成の際に、実質的な第1の層（例えば、図3でいうと(31)の部分に相当する）がいわゆるパッファー層となり、第2の層（例えば、図3でいうと(32)の部分に相当する）に添加されている一導電型を付与する不純物が、ゲイト絶縁膜を突き抜けてチャネル形成領域に拡散することを低減、あるいは実用上防止することができる。当然第1の層には第2の層から一導電型を付与する不純物が拡散する。なお、この際第1の層が一導電型化していることが好ましい。

【0024】また、第2の層に一導電型を付与する不純物を多量に添加することによって、ゲイト電極自体の電気抵抗を十分下げることができる。

【0025】【第5の発明】第5の発明は、多層の半導体層で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、ゲイト絶縁膜上に低濃度で一導電型を付与する不純物をドーピングしつつ第1の半導体層を形成する工程と、前記第1の層上に前記不純物を前記第1の層よりも高濃度に添加しつつ第2の半導体層を形成する工程と、を有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法、を要旨とするものである。

【0026】上記第5の発明は、前記第4の発明の変形であって、ゲイト電極に接する第1の層（例えば、図3でいうと(31)の部分に相当する）にも実用上問題とならない程度に一導電型を付与する不純物の添加を行うものである。勿論、第1の層に添加される一導電型を付与する不純物の添加量は、該不純物が後に行われるソース・ドレイン領域形成のためのイオン注入工程及び熱処理工程において、ゲイト電極を突き抜けてチャネル形成領域

に拡散することを考慮して決めなければならない。即ち、一導電型を付与する不純物の拡散が問題とならない程度に不純物の量を第1の層中に添加しなければならない。

【0027】【第6の発明】第6の発明は、半導体材料で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、一導電型を付与する不純物をドーピングしつつゲイト絶縁膜上にゲイト電極を形成する工程を有し、該工程において、成膜開始時においては不純物のドーピングを行わず、成膜が進行するとともに、連続的あるいは段階的にドーピング濃度を高くなる、ことを特徴とする絶縁ゲイト型電界効果半導体装置作製方法、を要旨とする。

【0028】上記第6の発明は、単一の層で構成されたゲイト電極の構造において、成膜開始時においては成膜を行わず、成膜が進行したところで、一導電型を付与する不純物を添加して成膜を行うことによって、イオン注入及び熱処理後において、図3の例でいうと、(31)の領域のドーピング濃度を低く、(32)の領域のドーピング濃度を高くするものである。

【0029】【第7の発明】第7の発明は、半導体材料で構成されたゲイト電極を有する絶縁ゲイト型電界効果半導体装置の作製方法であって、一導電型を付与する不純物をドーピングしつつゲイト絶縁膜上にゲイト電極を形成する工程を有し、該工程において、成膜開始時においては低濃度で不純物のドーピングを行い、成膜が進行するとともに、連続的あるいは段階的にドーピング濃度を高くなることを特徴とする絶縁ゲイト型電界効果半導体装置作製方法、を要旨とする。

【0030】上記第7の発明は、前記第6の発明において、ゲイト絶縁膜に接する領域（例えば、図3でいうと(31)の領域）に低濃度で一導電型を付与する不純物を添加したものである。この第7の発明においても、後のイオン注入及び熱処理の工程において、添加された一導電型を付与する不純物がゲイト電極を突き抜けてチャネル形成領域に拡散しないように、ゲイト電極の成膜開始時において添加する不純物の量を決定しなければならない。

【0031】

【作用】ゲイト電極のゲイト絶縁膜側をノンドープ半導体、または低濃度半導体とし、その上に高濃度半導体を形成することにより、ゲイト電極をマスクとしてイオン注入によりソース・ドレイン領域を形成する際ににおいて、ゲイト電極中からゲイト絶縁膜を突き抜けてゲイト電極中に添加された一導電型を付与する不純物が拡散する問題を解決することができる。そして同時に、ゲイト電極の低抵抗化を図ることができる。

【0032】

【実施例】【実施例1】以下本発明を利用した実施例を示す。本実施例の基本構造を図1に示す。図1におい

て、(11)はガラス基板であり、(12)が結晶性珪素の半導体層(1500Å厚)であり、(13)がゲイト絶縁膜となる酸化珪素膜(1000Å厚)であり、(14)がゲイト電極を構成するノンドープの珪素半導体層であり、(15)が(14)とともにゲイト電極を構成する高濃度にリンをドープした珪素半導体層(2000Å厚)である。なおリンイオンの珪素半導体層(15)へのドーピングの濃度は、 $1 \times 10^{21} \text{ cm}^{-3}$ である。

【0033】本実施例は上記構成において、ノンドープの珪素膜(14)の厚さを0Å(即ち、ノンドープの珪素膜(15)がない状態)、100Å、200Å、300Å、400Åと4段階に変化させた場合におけるチャネル形成領域(17)とゲイト絶縁膜(13)との界面におけるリンの濃度の関係を計算によって調べたものである。

【0034】即ち、チャネル形成領域(17)とゲイト絶縁膜(13)との界面におけるリンの濃度を調べることによって、チャネル形成領域(17)に珪素膜(15)からどの程度リンが拡散したかを知ることができ、このことから、ノンドープの珪素膜(14)の効果知ることができる。

【0035】[TFTの作製方法] まず、図1に示す本実施のTFTの作製方法を以下に説明する。まず、ガラス基板(11)上に非晶質珪素半導体層(12)を周知の減圧CVD法によって1000Åの厚さに成膜する。成膜条件は以下の通りである。

圧力 0.5 Torr

温度 520°C

成膜ガス SiH₄ 200sccm

【0036】つぎに、非晶質珪素半導体層(12)を加熱により結晶化させる。結晶化条件は以下の通りである。

圧力 常圧

温度 600°C

時間 48時間

雰囲気 N₂

【0037】つぎに非晶質珪素半導体層(12)上にゲイト絶縁膜となる酸化珪素膜(SiO₂)を1000Åの厚さにマグネットロンスパッタ法によって形成する。成膜条件は以下の通りである。

R F電力(13.56MHz) 400 W

圧力 0.5Pa

雰囲気(スパッタガス) O₂

基板温度 150°C

【0038】つぎに、ゲイト絶縁膜(13)上にゲイト電極を構成する第1の半導体層であるノンドープの珪素半導体層(14)を減圧CVD法によって必要とする膜厚に成膜する。成膜条件は以下の通りである。

成膜温度 640°C

成膜圧力 0.5Torr

成膜ガス SiH₄ 200sccm

【0039】つぎにノンドープの珪素半導体層(14)上にゲイト電極を構成する第2の半導体層として高濃度にリ

ンが添加された珪素半導体層(15)を減圧CVD法により成膜する。成膜条件は以下の通りである。

成膜温度 600°C

成膜圧力 0.5Torr

成膜ガス PH₃/SiH₄ = 0.5% 200sccm

上記成膜の結果、リンが $1 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングされた珪素半導体層(15)が形成される。

【0040】つぎにリンのイオン打ち込みを行い、ソース領域(16)、ドレイン領域(18)、チャネル形成領域(17)を自己整合的に形成する。この工程において、ソース領域(16)とドレイン領域(18)へはリンが $1.7 \times 10^{19} \text{ cm}^{-3}$ 程度の濃度に注入される。

【0041】上記イオン注入後に熱処理を行い、リンイオンの活性化、イオン打ち込みに従う損傷のアニールを行う。熱処理条件は以下の通りである。

処理温度 600度

処理時間 24時間

処理雰囲気 N₂ガス

処理圧力 常圧

【0042】さらに必要に応じてソース電極、ドレイン電極、ゲイト電極の配線等を形成する。(図示せず)本実施例においては、ゲイト電極を2層構造としたが、これを多層構造とすることもできる。この場合、ゲイト絶縁膜に接する層から段階的にドーピング濃度を変化させるが有効である。

【0043】[評価方法] 図4に、図1の構成を採用し、ノンドープの珪素半導体層(14)の厚さを0Å～400Åへと100Å毎に膜厚を変化させていった場合の、チャネル形成領域(17)とゲイト絶縁膜(13)との界面付近におけるリンの濃度を計算によって求めたものを示す。計算の仕方は、リンの濃度が分かっている珪素膜(15)中のリン濃度を基にして、600度の温度におけるノンドープの珪素膜(14)とゲイト絶縁膜(13)におけるリンの拡散を計算し、600度で24時間熱処理をした結果、ゲイト絶縁膜(13)を突き抜けたリンが、チャネル形成領域(17)とゲイト絶縁膜(13)との界面付近にどれほどの濃度で存在するか求めたものである。

【0044】[評価結果] 図4に示すように、ゲイト電極部分にノンドープ珪素半導体層(14)を設け、その厚さを厚くしていくことにより、チャネル形成領域(17)とゲイト絶縁膜(13)との界面付近におけるリンの濃度を下げることができる。特にノンドープ珪素半導体層(14)の厚さを400Å以上とすれば、ゲイト電極上層に $7 \times 10^{21} / \text{cm}^3$ 程度の濃度にリンをドーピングした場合であっても、チャネル形成領域(17)とゲイト絶縁膜(13)との界面付近におけるリンの濃度を $1 \times 10^{19} / \text{cm}^3$ 程度にまで下げることができ、熱処理におけるリンの異常拡散や、作製工程におけるリンの混入を考えてもその影響を十分下げることができる事が分かる。

【0045】[実施例2] 本実施例は、実施例1で示し

たTFTにおいて(14), (15)で構成されるゲート電極を単層の珪素膜としたものである。ゲート電極の構成及び作製方法以外は実施例1において説明したのと同様である。従って本実施例においては、ゲート電極の作製方法について説明する。

【0046】本実施例におけるTFTの基本構造を図5に示す。ゲート電極(51)部分以外は図1に示すものと同様の構成であり、符号も図1のものと同様である。図5に示すTFTはゲート電極(51)が珪素半導体で形成されており、その抵抗を下げるためにドーピングしてあるリンが、濃度が変化されてドーピングされていることを特徴とするものである。

【0047】本実施例におけるゲート電極(51)の厚さは2000Åであり、(52)で示される400Å厚の下層部分には作製時においてリンのドーピングがされず、(53)で示される1600Å厚の上層部分には成膜時にリンが高濃度($1 \times 10^{21} \text{ cm}^{-3}$)に添加される。作製方法は、まずLPCVD法等の気相法によってゲート電極(51)となる珪素膜を形成する際に、最初リンをドーピングするための原料ガスであるフォスフィン(PH₃)を反応室に導入せずに成膜を行ない400Å厚の珪素膜を(52)として形成する。そして成膜途中のある時点でのフォスフィンを反応室に導入することによって、その後の成膜はリンがドーピングされた珪素膜を(53)として1600Åの厚さに成膜する。

【0048】この工程は従来の作製工程において単に成膜途中において反応室に一導電型を付与する不純物を含む反応性気体を加えるだけでよいため、工業的にも有用である。

【0049】また上記構成において、ある時点でフォスフィンを導入するのではなく、成膜開始にはフォスフィンを導入せず、徐々にその添加量を増やしていくことによって、濃度勾配を与えてやる方法でもよい。この方法を用いると、ゲート電極(51)とゲート絶縁膜(13)との界面においては、リン濃度が低く、ゲート電極(51)の上面即ちゲート電極(51)と接する面側とは反対側の面においてはリンの濃度が高くその抵抗が低い、という構成を実現することができる。

【0050】【本発明を利用したその他の構成について】以下本発明を利用した他の構成について説明する以上においては、本発明を利用した基本的構造を有するNチャネル型TFTを実施例を示したが、ゲート電極をマスクとして用い、半導体に一導電型を付与する不純物をイオン注入し、熱処理を行うことによって、ソース領域とドレイン領域、さらにはチャネル形成領域を自己整合的に形成する方式のTFTにおいて、本発明が利用できることはいうまでもない。また半導体の種類も珪素に限定されるものではない。さらに半導体の結晶性も非晶質、微結晶、多結晶等を用いることができ、特に限定されるものではない。

【0051】また本発明は、イオン注入を用いる方法以

外の方法で作製するTFTにおいて、ゲート電極からの不純物のチャネル形成領域への拡散を防ぐ構成、またはそのプロセスとして利用することができる。

【0052】

【効果】ゲート電極をマスクとして用いて一導電型を付与する不純物をイオン注入によってドーピングを行ない、ソース領域とドレイン領域とを自己整合的に形成するTFTにおいて、ゲート電極を2層に、ゲート絶縁膜側から一導電型を付与する不純物がノンドープの珪素膜、一導電型を付与する不純物が高濃度でドープされた珪素膜、と積層して設けることにより、ゲート電極自体の抵抗を下げる同時に、イオン注入時及びその後の熱処理時における前記不純物の拡散に起因するチャネル形成領域へ悪影響を防ぐことができる。

【0053】また、結晶性珪素(一般にポリシリコンとも言われる)を用いたTFTにおいては、そのしきい値の絶対値が高くなるという問題が存在する。この問題を解決するためには、ゲート絶縁膜の厚さを薄くすることが有効であるが、前述のように、ゲート電極に半導体材料を用いた場合には、熱処理工程におけるゲート絶縁膜を突き抜ける不純物の存在が問題となるので、ゲート電極を薄くすることは問題であった。

【0054】しかしながら、本発明の構成を利用した場合、ゲート電極を突き抜ける不純物の問題をゲート電極の構造を工夫することによって解決できるので、ゲート絶縁膜の厚さを、ゲート絶縁膜の耐圧、成膜の際のステップカバレッジ、成膜分布等の条件が許す限り、薄くすることができる。よってゲート絶縁膜を薄く形成して、必要とする低いしきい値を有するTFTを得ることができる。

【図面の簡単な説明】

【図1】実施例のTFTの基本構造を示す。

【図2】従来のTFTの基本構造を示す。

【図3】実施例のTFTの基本構造を示す。

【図4】実施例において、成膜時にドーピングを行わない珪素膜(ノンドープ珪素膜)の厚さを変化させていた場合のチャネル形成領域とゲート絶縁膜との界面における不純物濃度(計算値)を示す。

【図5】実施例のTFTの基本構造を示す。

【符号の説明】

21 ガラス等の絶縁基板

25 ソース領域

26 ドレイン領域

27 チャネル形成領域

22 薄膜半導体層

23 ゲート絶縁膜

24 ゲート電極

11 ガラス基板

12 半導体層

13 ゲート絶縁膜

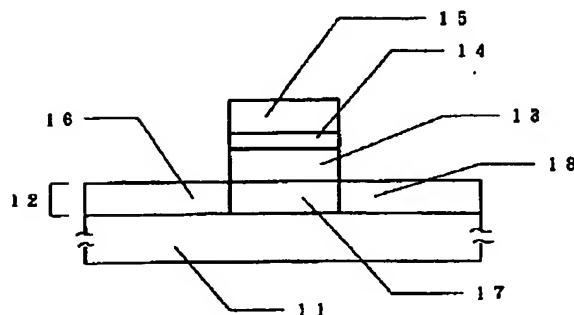
11

1 4 ゲイト電極を構成するノンドープの珪素半導体層
 1 5 ゲイト電極を構成するリンをドープした珪素半導体層

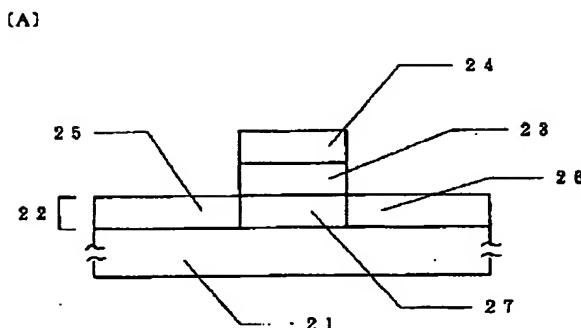
12

1 7 チャネル形成領域
 1 6 ソース領域
 1 8 ドレイン領域
 5 1 ゲイト電極

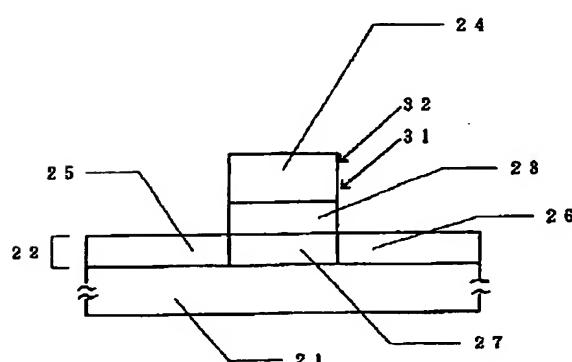
【図1】



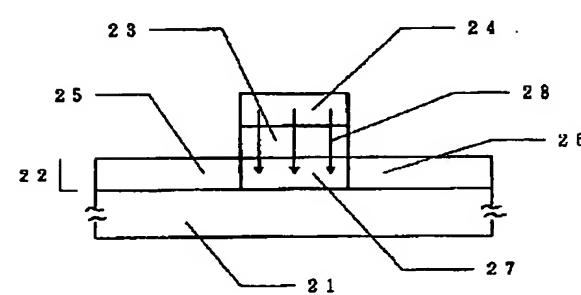
【図2】



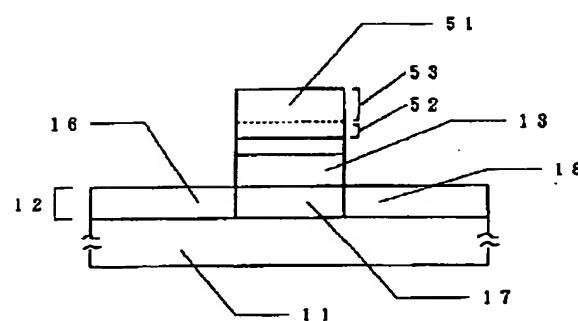
【図3】



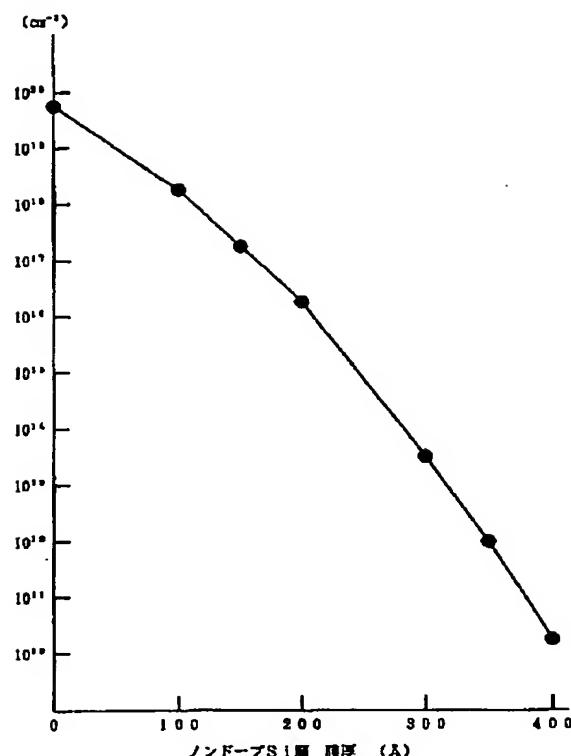
(B)



【図5】



【図4】



BEST AVAILABLE COPY